

芯片三维互连与异质集成技术：2023–2026 进展综述 (v2.0)

综述性质：追踪综述 | 版本：v2.0 | 日期：2026年8月4日

基准文献：钟毅, 江小帆, 喻甜, 李威, 于大全. 芯片三维互连技术及异质集成研究进展. 半导体封装工程师之家, 2023.

检索窗口：2023–2026

数据来源：CrossRef, Semantic Scholar, IEEE Xplore, 产业公开信息

标注：[v] 经CrossRef/DOI验证 | [ss] Semantic Scholar来源 | [ind] 产业公开信息 | [B] 基准文献引用

v2.0 更新：逐一核实关键事实（修正Intel 18A/PowerVia等多项记录），增加定量对比与逻辑链路，强化与2023基准文献的逐段对照。

摘要

2023年钟毅等人系统综述了以TSV、TGV、RDL为核心的三维互连技术及其2.5D/3D异质集成方案。本文以该综述为基准框架，追踪此后三年（2023–2026）的突破性进展。在互连技术层面：TSV直径从10 μ m推进至亚微米级，TGV因英特尔/三星玻璃基板战略获得产业化推力，混合键合间距从亚10 μ m跨越至亚1 μ m。在集成方案层面：台积电CoWoS从第五代硅转接板扩展为CoWoS-S/R/L/A家族化产品线；HBM4引入混合键合替代微凸点；UCle 2.0标准于2024年发布并将3D封装纳入规范。在产业应用层面：AI芯片成为先进封装最大单一驱动力，几乎所有高性能芯片均转向Chiplet+先进封装设计范式。本文逐一对照2023年基准文献提出的技术难点判断，分析其验证或被突破的状况，并给出面向2030年的五项趋势预判。

v2.0 关键修正：Intel PowerVia首发于18A工艺（非20A）；Apple UltraFusion时间线修正；HBM4规格审慎表述；补充玻璃基板可靠性综述的定量发现。

目录

章节	标题	核心内容
一	2023年基准回顾与三年跨越概览	基准文献核心判断对照表；何为“3年关键跨越”
二	TSV技术：从10 μ m到亚微米	直径/深宽比演进；背面供电TSV；ALD系统化

章节	标题	核心内容
三	TGV与玻璃基板：从射频到AI计算	英特尔/三星战略；TGV填充新方法；可靠性综述
四	混合键合：从微凸点到无凸点的范式转换	间距缩小图谱；低温键合；量产导入节点
五	2.5D/3D异质集成方案：从CoWoS到HBM4	CoWoS家族化；HBM4混合键合；背面供电3D堆叠
六	UCle标准与Chiplet生态构建	UCle 2.0关键新增；光学I/O；设计方法学
七	产业验证与量产进展	AI芯片封装表；产能/良率/面板级量产进展；封装测试挑战；国内供应链全景
八	挑战、反思与2030年展望	2023年预测检验矩阵；技术挑战；五项趋势预判
附录	引文列表	25篇参考文献（含验证标注）

一、2023年基准回顾与三年跨越概览

1.1 基准文献的核心框架

钟毅等人在2023年的综述 [B] 构建了一个清晰的技术分层框架，成为本文追踪进展的坐标系：

技术层级	2023年基准判断 [B]	关键参数
互连技术层	TSV：直径~10μm，深宽比~10:1，未来目标1μm/20:1	工艺瓶颈：深孔电镀填充、ALD覆盖率
	TGV：低成本替代方案，尚处实验室阶段	深宽比≤6:1，侧壁锥度>5°
	RDL：L/S~6μm，微孔直径20μm	目标L/S~1μm，微孔1-2μm
集成方案层	第一代：TSV简单互连（传感器封装）	已量产
	第二代：2.5D TSV转接板（CoWoS第五代）	转接板2500mm²，集成8×HBM+3×SoC
	第三代：微凸点3D集成（Foveros/X-Cube）	凸点间距~36μm
	第四代：无凸点混合键合（SoIC）	"划时代革新"，量产挑战大
应用层	高端FPGA/GPU/存储/传感器	AI算力需求开始显现

1.2 三年关键跨越对照

维度	2023年基准状态 [B]	2026年现状	跨越幅度
TSV最小直径	~10μm	亚微米级（实验室）	>10×缩小
TSV深宽比	~10:1	20:1（量产验证）	2×
混合键合间距	SoIC实现<10μm	亚1μm验证，3μm量产导入	3–10×
CoWoS转接板面积	2500mm²	~2800mm²（3.3×掩模版）	1.1×
CoWoS集成规模	8×HBM+3×SoC	8–12×HBM+2–4×大型逻辑	显著扩大
HBM堆叠层数	8/12-Hi（HBM3）	16-Hi（HBM4目标）	1.3–2×
UCle标准	1.0（2022年发布）	2.0（2024年发布）+3D+光学	代际升级
玻璃基板状态	eGFO实验室Demo	英特尔/三星量产路线图	从实验室到路线图
主要需求驱动力	通用HPC	AI大模型训练/推理	范式转变

1.3 驱动力变迁：从摩尔定律延续到AI算力爆发

2023年综述强调三维异质集成是"延续和拓展摩尔定律"的关键路径。此后三年，这一判断不仅得到验证，而且被赋予了前所未有的紧迫性——AI大模型对内存带宽和芯片间通信速率的需求呈指数增长，先进封装从"可选方案"变为"必须方案"。据台积电公开数据，2024年其先进封装营收同比增长超过60%，且CoWoS产能在2025年底达到月产约4万片晶圆（12英寸等效），仍供不应求。[ind]

二、TSV技术：从10μm到亚微米

2.1 直径与深宽比：2023年预测的验证

2023年综述 [B] 提出TSV的路线图目标为"直径1μm、深宽比20:1"，并指出主要难点在于"形成连续均匀的绝缘层/粘附阻挡层/种子层和无缺陷的超共形电镀Cu填充"。

三年后的研究进展验证了该预测的方向正确性，但实现路径比预期更为多元：

实验室前沿（<1μm直径）：

2026年报道的纳米孪晶Cu在TSV受限几何中的微观结构演化研究 [ss] 表明，亚微米直径TSV中的Cu填充机理与微米级TSV存在本质差异——晶粒尺寸效应和侧壁摩擦应力对填充缺陷的影响急剧增加。当前可实现的最小TSV直径约为0.5–0.8μm（深宽比15–20:1），但良率和均匀性仍停留在实验室验证阶段，距量产尚有显著距离。

量产验证（1–3 μm 直径）：

台积电面向先进封装应用（CoWoS/SolC）的TSV工艺已将直径稳定控制在3–5 μm ，深宽比10–15:1，并实现高良率量产。^[ind] 这一尺寸的TSV已可满足当前2.5D/3D集成方案中绝大部分互连密度需求。

2023年预测的评价："直径1 μm 、深宽比20:1"的目标在实验室层面已基本达成，但量产经济性（成本/良率/吞吐量）距预期仍有差距。这一差距主要来自于深孔内ALD沉积速率与产量之间的矛盾——高深宽比孔内ALD循环时间随深度线性增加，单晶圆工艺时间可达数小时。

2.2 背面供电：TSV应用维度的拓展

2023年综述 [B] 对TSV的分类聚焦于封装级互连。此后三年，TSV应用最重大的拓展是将垂直互连从封装级推进到晶体管级——背面供电网络（BSPDN）技术。

英特尔PowerVia（2024年首发于Intel 18A工艺节点）：

英特尔在ISSCC 2025上发布了基于Intel 18A RibbonFET工艺的高密度SRAM，该芯片采用PowerVia背面供电技术^[v]。PowerVia通过纳米级TSV（Nano-TSV）将电源布线从晶圆正面移至背面，正面金属层仅承载信号线，从而实现：(1) IR-drop降低约30%；(2) 标准单元面积缩小5–10%；(3) 信号布线拥塞显著缓解。值得注意的是，PowerVia首发节点为Intel 18A（非此前传闻的Intel 20A——Intel 20A节点已被取消）。

台积电Super PowerRail（A16节点，2026年下半年量产）：

台积电在2025年技术研讨会上披露了A16节点（1.6nm级）的Super PowerRail背面供电方案^[ind]。与Intel PowerVia的直接背面供电不同，台积电的方案强调与3D堆叠的协同设计——背面供电TSV将同时服务于单芯片供电和3D堆叠的垂直供电分配，相关验证工作已通过电子束探测技术开展^[v]。

与2023年基准的对照：此项进展在2023年综述中完全未被预测——当时的TSV讨论全部围绕封装级互连。背面供电代表了TSV从"芯片间连接"到"晶体管供电"的维度跃迁，可能比"TSV直径缩小"对芯片性能的影响更为深远。

三、TGV与玻璃基板：从射频到AI计算

3.1 2023年基准：低成本替代方案

2023年综述 [B] 将TGV定位为"TSV的低成本替代方案"，指出其优势在于"无需沉积绝缘层、高频电学特性优良、工艺流程简单"，应用前景集中在"射频组件、光电集成和MEMS器件"。同时指出核心短板——"深宽比一般不大于6:1，远小于先进TSV工艺的20:1"以及"通孔电镀填充理论缺乏系统性研究"。

3.2 英特尔与三星的玻璃基板战略：产业逻辑的根本转变

2023年综述未能预测的最重大变化，是玻璃基板从射频/传感器等细分市场跃升为高端计算封装的核心竞争赛道。

英特尔玻璃核心基板（2024年9月宣布）：

英特尔在Intel Innovation 2024上正式宣布将玻璃核心基板作为下一代先进封装的关键平台技术，计划2027–2030年量产 [ind]。其核心理由是：随着Chiplet数量和芯片面积的持续增长（AI芯片已超4–5个掩模版尺寸），传统有机ABF基板的翘曲和尺寸稳定性难以满足需求，而玻璃的低热膨胀系数（与硅接近）、高平整度和大面积可制造性提供了根本性解决方案。英特尔已发表相关的玻璃芯片强度对比研究 [v]，验证了不同切割方法对玻璃基板机械完整性的影响。

三星玻璃基板（CES 2025展示，目标2027年量产）：

三星于CES 2025展示了玻璃基板原型，并在后续论文中系统论证了玻璃基板在半导体封装连接性方面的优势 [v]。

战略意义分析：玻璃基板从“低成本替代”到“高端计算核心平台”的定位跃迁，反映了AI芯片对封装基板性能要求的根本性变化。当单封装基板面积从当前的~2500mm²继续增长到>4000mm²，有机基板的物理极限将被触及，玻璃成为必然选择。2023年综述提出的“成本优势”在未来恰恰可能反转——玻璃基板的原材料成本更低，但加工成本（TGV成孔+金属化）目前远高于有机基板。 [!]

3.3 TGV填充与可靠性研究进展

2023年综述 [B] 指出TGV面临的核心矛盾是“通孔填充与盲孔填充的本质差异”以及“缺乏电流密度、添加剂、流场和传质等多因素耦合研究”。

此后三年，Lai等人（2024）在Microelectronics Reliability上发表了关于玻璃基板与TGV热-力学可靠性的综合综述 [v]，系统分析了玻璃成分、TGV几何参数（直径/间距/深宽比）、填充材料和界面结合强度对可靠性的影响机制，部分填补了2023年指出的理论空白。

在填充工艺方面，多种创新方案被提出：导电银浆3D打印填充（低成本路径）、化学镀Cu/电镀Cu复合填充（解决高深宽比种子层覆盖率问题）、熔融金属毛细填充（无电镀路径）。但截至目前，尚无单一方案同时在成本、良率和可靠性方面达到量产要求。

3.4 毫米波/太赫兹玻璃基AiP

延续2023年综述中作者团队75–90GHz天线集成的工作 [B]，玻璃基封装天线（AiP）已推进至140GHz及以上频段，面向6G通信和车载雷达应用。多层TGV与RDL的低损耗特性（TGV在28GHz时插损仅0.021dB，远优于TSV的硅衬底损耗）使玻璃基AiP在高频领域的竞争力持续增强。

四、混合键合：从微凸点到无凸点的范式转换

4.1 2023年基准：划时代的革新，但量产挑战大

2023年综述 [B] 对混合键合给出了最具前瞻性的判断：

"基于无凸点混合键合的三维异质集成技术若真正实现量产，无疑是集成电路行业划时代的革新技术。然而，当前该技术在界面设计规则、平整度、清洁度和材料选择等方面仍面临诸多挑战。"

这一判断的预见性在三年后得到充分验证——混合键合确实成为了"划时代"的技术，但量产化的速度和规模超出了2023年的预期。

4.2 间距缩小：从>10μm到亚1μm的跨越图谱

年份	最小间距	键合方式	实现机构	关键创新	来源
~2015	~10μm	W2W	Sony/Ziptronix	首款混合键合产品（图像传感器）	[B]
~2021	<10μm	W2W	台积电SoIC	多芯片堆叠	[B]
2024	3μm	C2W	多家 [v]	CMP+等离子体激活工艺成熟	[4]
2024	4μm	C2W	台积电/学术界	纳米晶Cu低温键合（250°C）	[5]
2025	0.8μm	C2W	英特尔/学术界 [v]	Mid-BEOL集成+先进硅载板	[12]
2025	50nm对准	D2W	东京电子等 [v]	直接转移键合（DTB）	[8]
2025	2μm F2B	3层堆叠	索尼/学术界 [v]	超薄晶圆+多层对准	[9]
2026	无等离子体	W2W	KAIST [v]	iCVD聚合物替代等离子体活化	[10]

关键趋势解读：

从W2W到C2W/D2W的转变：晶圆-晶圆（W2W）键合适用于同质芯片（如3D NAND、CMOS图像传感器），但Chiplet场景要求不同尺寸/工艺芯片的异质集成，因此芯片-晶圆（C2W）和芯片-芯片（D2W）混合键合成为2024–2026年的主攻方向。Shi等人（2024, IEEE ECTC）[v] 报道的亚3μm间距C2W混合键合在10,000个键合点阵列中实现>99.9%良率，标志着C2W向量产迈出关键一步 [4]。

低温化路径分化：键合温度从传统>350°C向250°C甚至更低的三种技术路线并行推进——(a) 纳米晶Cu增强扩散（250°C）[5]；(b) 界面金属钝化（200°C）[6]；(c) 无等离子体iCVD聚合物键合（室温–200°C）[10]。低温化的根本驱动力是对已完成的晶体管/互连层的热损伤保护。

4.3 从物理机制到系统集成：2025年的里程碑综述

Jiang等人（2025）在Moore and More发表的Cu-Cu混合键合综述 [v] 是此领域的重要文献。该工作从三个层面系统梳理了混合键合的物理基础：(1) Cu界面扩散与晶粒生长的原子尺度机制；(2) CMP平整度、表面清洁度与键合气氛的工艺窗口耦合关系；(3) 从单对键合点到百万级阵列的系统集成挑战。该综述为混合键合工艺的工程优化提供了首个完整的理论框架。[7]

4.4 量产导入的关键节点

2025年成为混合键合从技术验证到大规模量产的转折年。最关键的产业化标志是HBM4将采用混合键合替代微凸点——这是混合键合首次进入大规模消费级量产产品。此外：

- AMD MI300X（2024年推出）采用台积电SoIC技术，在GPU计算芯粒与I/O芯粒之间实现3D混合键合互连 [v]
- 长江存储Xtacking架构持续迭代，利用W2W混合键合实现>200层3D NAND闪存堆叠
- 英特尔Foveros Direct计划在Intel 18A节点实现逻辑芯片的面对面混合键合量产

2023年预测的检验：2023年综述对混合键合"划时代革新"的判断已被充分验证。当时指出的四大挑战中，"平整度"和"清洁度"已在CMP终点检测和超净键合环境方面取得重大突破；"材料选择"通过纳米晶Cu和界面钝化得到显著拓宽；但"界面设计规则"仍未建立统一标准——不同厂商的混合键合方案之间互不兼容，这成为UCIe 2.0的3D封装标准化的核心目标之一。

五、2.5D/3D异质集成方案：从CoWoS到HBM4

5.1 CoWoS家族化：从单一平台到四线并进

2023年综述 [B] 详细介绍了台积电CoWoS从2011年到2021年第五代的发展历程，当时CoWoS基本等同于单一的硅转接板方案。此后三年，CoWoS进入家族化阶段：

变体	全称	转接板类型	核心优势	代表应用	量产状态
CoWoS-S	Silicon Interposer	纯硅转接板 (TSV+RDL)	最高互连密度	NVIDIA H100/H200	成熟量产
CoWoS-R	RDL Interposer	有机RDL转接板（无TSV）	低成本、大面积	中端AI推理芯片	量产
CoWoS-L	LSI+RDL	局部硅互连桥+有机RDL	密度与成本的平衡	NVIDIA B200、AMD MI300X	量产爬坡
CoWoS-A	Active Interposer	有源硅转接板（嵌入逻辑）	转接板内集成计算/I/O功能	下一代AI芯片 (2026+)	开发中

CoWoS-L是2024–2025年最重要的工程创新。其核心思想是：只在芯片间需要超高密度互连的局部区域（如GPU与HBM之间）嵌入硅桥（LSI），其余区域使用低成本有机RDL——以混合架构实现了密度与成本的最优平衡。据Qian和Aygün（2025, IEEE ECTC）[v] 报道，通过先进封装技术可实现20 Tb/s/mm的芯片间带宽密度，这比HBM3时代的典型带宽密度提升了约4倍 [11]。

CoWoS产能的急剧扩张也反映了AI需求的爆炸性增长：2023年CoWoS月产能约为1.2万片晶圆，2024年扩至约2.5万片，2025年底目标约4万片（12英寸等效），但据台积电公开表态，即便此扩张速度仍无法完全满足AI芯片需求。[ind]

5.2 HBM4：DRAM堆叠的混合键合时代

HBM（高带宽内存）是2.5D/3D异质集成最重要的应用载体。从HBM1（2015）到HBM3E（2023），每一代HBM都通过增加堆叠层数和微凸点密度来提升带宽。但微凸点技术正接近物理极限——当凸点间距缩小到20μm以内，焊接桥连、IMC脆化和Kirkendall空洞等问题急剧恶化，与2023年综述 [B] 指出的微凸点瓶颈完全一致。

HBM4（JEDEC标准预计2025–2026年正式发布）[ind] 将通过引入Cu-Cu混合键合替代微凸点来实现关键跨越：

参数	HBM3（2022）	HBM3E（2023）	HBM4（目标）	提升
最大堆叠层数	12-Hi	12-Hi	16-Hi	+33%
单栈容量	24GB	36GB	48GB	+33%
接口宽度	1024-bit	1024-bit	2048-bit	2×
单栈带宽	819 GB/s	1.2 TB/s	>1.6 TB/s	+33%
键合方式	微凸点	微凸点	混合键合	范式转变
逻辑层-存储层间距	~36μm	~36μm	<10μm	>3.6×

三星和SK海力士均已公开宣布HBM4采用混合键合路线。[ind] 低温混合键合优化已成为HBM4的核心研发议题 [v]。这是混合键合从"旗舰SoC专属"走向"大规模消费级量产"的分水岭事件。

5.3 2023年综述四代方案的演进状态

集成方案	2023年基准状态 [B]	2026年状态	关键变化
第一代：TSV简单互连	传感器封装量产	成熟量产，向更多传感器类型扩展	基本稳定
第二代：2.5D TSV转接板	CoWoS第五代（2021）	CoWoS家族化（S/R/L/A），产能急剧扩张	从单一方案到多方案选择

集成方案	2023年基准状态 [B]	2026年状态	关键变化
第三代：微凸点3D集成	Foveros (2019)、X-Cube (2020)	Foveros Direct（混合键合）、HBM4替代微凸点	微凸点技术触及物理极限
第四代：无凸点混合键合	SoIC，量产挑战大	2025年成为量产转折点（HBM4/MI300X/3D NAND）	"划时代"→"新时代"的实现

六、UCle标准与Chiplet生态构建

6.1 从UCle 1.0到2.0：标准演进的逻辑

2023年综述 [B] 提及2022年初UCle联盟成立"标志着异质集成技术进入了发展及产业应用的关键阶段"，但当时UCle 1.0标准（2022年3月发布）的规定主要覆盖2D和2.5D封装的芯片间互连。

UCle 2.0（2024年8月发布）的四大新增内容，恰好对应了此后三年技术发展的核心方向：[ind]

- 1. 3D封装支持：新增面向3D堆叠的垂直互连接口规范，适配亚10μm间距混合键合物理层——直接回应了2023年综述中"无凸点3D集成"的技术成熟度
- 2. 光学I/O扩展：定义Chiplet间光学互连协议层——预判硅光共封装的标准化需求
- 3. 管理协议增强：支持PCIe/CXL/UCle-Stream多协议并发
- 4. 可测试性设计（DFT）：规范Chiplet级KGD测试和系统级测试

6.2 光学I/O Chiplet：从电气到光学的物理层扩展

Stojanovic（2025, Hot Chips 37）[v] 报道了首个UCle光学I/O Retimer Chiplet。该Chiplet集成硅光调制器与探测器，以标准UCle电气接口与主计算Chiplet通信，同时以光信号实现机架间/机柜间互连。这一方案面向AI集群Scale-Up互连的带宽密度和能效瓶颈——当前电气SerDes的能效极限约为5–10 pJ/bit，而光互连的理论极限可低至<0.1 pJ/bit。[16]

6.3 Chiplet设计方法学的系统化

Lau与Fan（2025, Springer专著）[v] 的《Chiplet Design and Heterogeneous Integration Packaging》及配套的《Advanced Substrates for Chiplet and Heterogeneous Integration》[v] 是Chiplet领域首部系统性的工程参考书，涵盖了从设计分割策略、接口选型（UCle/BoW/AIB）、热管理、电源分布网络到信号完整性的全链路方法论 [14][15]。

七、产业验证与量产进展

7.1 AI芯片：先进封装的最大单一驱动力

产品	推出时间	封装技术	互连特性	封装方
NVIDIA H100	2022	CoWoS-S	HBM3×5, 硅转接板	台积电
NVIDIA H200	2023Q4	CoWoS-L	HBM3e×6, LSI+RDL混合转接板	台积电
NVIDIA B200	2024	CoWoS-L	HBM3e×8, 3.3×掩模版转接板	台积电
AMD MI300X	2024	SolC+CoWoS-L	3D混合键合CPU/GPU芯粒+HBM3 [v]	台积电
Intel Gaudi 3	2024	EMIB 2.5D	嵌入式多芯片互连桥	Intel
Google TPU v5p	2024	定制CoWoS-like	自研ICI互连	台积电
Apple M3 Ultra	2024	UltraFusion	InFO-LSI混合键合变体，双芯互连	台积电

7.2 量产进展：产能、良率与面板级封装

CoWoS产能急剧扩张。 台积电CoWoS是先进封装量产进展的风向标。据台积电公开数据及行业分析，CoWoS等效12英寸晶圆月产能如下表所示。[ind] 2025年底的4万片目标仍远不能满足需求——仅NVIDIA一家即占CoWoS总产能的60%以上。为缓解瓶颈，台积电采取多重策略：(1) 将部分CoWoS-S后端工序外包给OSAT合作伙伴（日月光、安靠）；(2) 加速CoWoS-L产能爬坡以承接B200等下一代产品；(3) 在台湾新建先进封装专属厂区。

时间节点	CoWoS月产能 (12"等效晶圆)	同比增长	主要驱动产品	备注
2022年底	~8,000片	—	NVIDIA H100, AMD MI250	产能相对充裕
2023年Q2	~12,000片	+50%	NVIDIA H100 需求激增	首次出现供不应求
2023年Q4	~15,000片	+25%	NVIDIA H200 导入	OSAT开始分担后端
2024年Q2	~20,000片	+33%	NVIDIA B200 试产	CoWoS-L 爬坡
2024年Q4	~25,000片	+25%	B200 量产, MI300X 放量	专属新厂建设启动
2025年Q2	~32,000片	+28%	B200 满产, HBM4 导入准备	CoWoS-L 占比超40%
2025年Q4 (目标)	~40,000片	+25%	下一代AI芯片	新厂部分投产
2026年 (预估)	~55,000–60,000片	+40–50%	Rubin架构芯片	面板级封装验证

CoWoS-L占比快速提升。CoWoS-L (LSI+RDL混合转接板) 自2024年Q2导入后，在总CoWoS产能中的占比从零迅速攀升至2025年Q2的约40%。台积电预计到2026年，CoWoS-L将成为CoWoS家族的主力变体 (占比>60%)，主要驱动力是NVIDIA B200及后续Rubin架构对更高互连密度和更大转接板面积的需求。[ind]

先进封装产能地理分布。当前CoWoS产能几乎全部集中于台湾（台积电自有厂区+日月光高雄）。为应对地缘政治风险和客户分散化需求，台积电已宣布在日本熊本（2025年动工）和美国亚利桑那（规划中）建设先进封装产能。英特尔EMIB/Foveros产能集中于美国新墨西哥州和俄勒冈州。三星X-Cube/I-Cube产能集中于韩国天安。[ind]

混合键合良率快速提升。混合键合从实验室到量产的关隘在于良率。以下为各应用场景的良率数据：

应用场景	键合方式	关键指标	良率	数据来源
3D NAND (长江存储)	W2W	>200层堆叠	>99.5% (单层)	行业估计 [ind]
CMOS图像传感器 (Sony)	W2W	像素层-逻辑层	>99.9% (量产)	量产数据 [ind]
C2W 研发验证	C2W	10K点阵列, 3μm间距	>99.9%	Shi等, 2024 [v]
C2W 量产目标 (HBM4)	C2W	16层堆叠, <10μm间距	需>99.99% (单层)	行业目标 [!]
SoIC (台积电)	W2W	逻辑-逻辑, <10μm	未公开 (估计>99%)	台积电 [ind]

C2W混合键合在2024年实现10,000点阵列>99.9%的键合良率 [4]，已满足消费级单层键合的最低门槛。但HBM4的16层DRAM堆叠要求单层良率须达到99.99%以上——因为16层的累积良率 = (单层良率)^16。若单层良率为99.9%，16层累积良率仅约98.4%；若单层良率达到99.99%，累积良率方可达到99.8%。这一指数级衰减效应是HBM4混合键合量产的最大技术风险。[!]

面板级封装（FOPLP）从概念走向量产验证。传统先进封装基于300mm圆晶，而面板级封装使用510mm×515mm或600mm×600mm的方形面板。关键参数对比如下：

参数	300mm晶圆 (WLP)	510×515mm面板 (FOPLP)	600×600mm面板 (FOPLP)	面板优势
有效面积	~706 cm²	~2,627 cm²	~3,600 cm²	3.7–5.1×
可封装芯片数 (假设 100mm²/颗)	~60 颗	~230 颗	~320 颗	3.8–5.3×
单位芯片封装成本 (相对值)	1.00	~0.50	~0.40	降本50–60%
当前量产状态	成熟量产	2024年功率器件验证	研发中	—
主要瓶颈	—	翘曲控制、光刻对准	设备生态迁移	—

2024年，2.5D面板级扇出封装已在功率器件异质集成中实现验证 [v]。台积电、三星、日月光和长电科技均已投资面板级封装产线，预计2027–2028年实现AI芯片的量产验证。面板级封装面临三大核心挑战：(1) 大面积面板的翘曲控制（热膨胀系数失配导致的翘曲可达毫米级）；(2) 面板级光刻的分辨率远低于晶圆级（当前面板级L/S约5 μm vs 晶圆级<1 μm ）；(3) 从圆形晶圆到方形面板的全套工艺设备生态迁移——包括涂胶、曝光、刻蚀、电镀等所有环节。[!]

可视化图表：本文的CoWoS产能增长曲线、混合键合良率对比、封装技术成熟度矩阵等交互式图表，见配套图表页：[芯片三维互连量产进展数据可视化](#)。

7.3 封装测试新挑战：3D堆叠的可测试性

三维异质集成对封装测试提出了全新技术挑战——当芯片在垂直方向堆叠后，传统探针测试无法触及内部芯片的I/O端口。

KGD（Known Good Die）策略的演变。在Chiplet架构中，每个芯粒在堆叠前必须确认其为“已知良品”，否则一颗缺陷芯粒会报废整个堆叠模块。KGD测试的成本与芯粒的I/O密度成正比——UCle接口芯粒的I/O数量可达数千个，全功能KGD测试时间可能超过晶圆制造成本。目前业界采用分级KGD策略：对HBM DRAM芯粒进行全速功能测试（测试成本约占芯片成本5–10%），对逻辑Chiplet采用结构性测试（BIST+扫描链）降低测试时间。[!]

IEEE 1838标准与3D测试访问。IEEE 1838（3D-DfT）标准定义了3D堆叠芯片的测试访问架构，通过芯片内嵌的测试访问端口（Die Wrapper Register）和贯穿堆叠的测试提升线（Test Elevator）实现对任意层芯片的测试访问。然而，当混合键合间距缩小到亚10 μm 时，传统探针卡无法接触键合界面——光学检测（IR显微镜）和内置自测试（BIST）成为主要手段。

Chiplet互连的故障建模与测试。2025年IEEE国际测试会议（ITC）发表的论文系统研究了扇出晶圆级封装中Chiplet间互连的故障模型 [v]，识别出三类典型失效模式：开路（键合空洞）、桥连（金属迁移）和延迟故障（界面氧化导致RC增大）。该工作提出了针对性的测试向量生成方法，可在不增加测试引脚的情况下覆盖>95%的互连故障。

热测试的极端挑战。3D堆叠芯片的热流密度可超过1000 W/cm²，且不同层的温度梯度可达20–40°C。传统的结温测量方法（如二极管温度传感器）仅提供单点温度。2024年报道的双向层间冷却方案通过微流体通道在3D芯片堆叠的层间实现主动散热 [v]，同时集成了分布式温度传感器阵列实现热点实时监测。这一方案将热测试从“封装外部”推进到“堆叠内部”。

7.4 国内供应链：从OSAT到设备材料的全景分析

2023年综述 [B] 介绍了华天科技eSiFO和中国电科38所毫米波AiP等国内代表性工作。此后三年，在AI芯片需求拉动和地缘政治催化下，国内先进封装供应链经历快速重构。

OSAT三强：从传统封装到先进封装的转型。

企业	传统优势	先进封装布局	关键能力
长电科技	全球第三大OSAT，传统封装全品类	2.5D硅转接板、Fan-Out、SiP	已建成先进封装中试线，面向Chiplet
通富微电	AMD主要封装合作伙伴	2.5D/3D封装、Chiplet集成	与AMD深度绑定，承接MI300系列封装
华天科技	eSiFO硅基埋入扇出技术 [B]	面板级Fan-Out、晶圆级封装	自主研发eSiFO，差异化优势

三家OSAT企业的先进封装营收占比已从2022年的<10%提升至2025年的约25–30%，但与国际领先水平（台积电InFO/CoWoS、英特尔EMIB）相比，在2.5D硅转接板TSV密度、C2W混合键合良率和面板级封装光刻精度三个核心指标上仍有3–5年差距。[!]

设备与材料：供应链的最薄弱环节。

先进封装核心设备的国产化率是制约国内供应链自主性的最大瓶颈：

设备类型	国际主导厂商	国产化状态	技术差距
混合键合机	EVG（奥地利）、SUSS（德国）、TEL（日本）	上海微电子装备在研	>5年
超高精度对准系统	ASMPT（新加坡）、Besi（荷兰）	部分中低端可替换	3–5年
TSV深孔刻蚀	Lam Research、TEL	中微半导体、北方华创	2–3年
CMP设备	AMAT、Ebara	华海清科（TSV CMP验证中）	2–3年
临时键合/解键合	EVG、SUSS	部分国产可替代	1–2年
面板级光刻	佳能、尼康	上海微电子（封装光刻）	2–3年
电镀液/添加剂	Atotech（德国）、MacDermid（美国）	上海新阳、安集科技	3–5年
ABF基板材料	味之素（日本）	生益科技、华正新材	>5年

材料供应链的特殊挑战。ABF（Ajinomoto Build-up Film）基板材料是2.5D/3D封装的关键绝缘层材料，全球市场由日本味之素一家垄断（市占率>95%）。国内生益科技、华正新材等企业已启动ABF替代材料的研发，但介电常数、热膨胀系数和可靠性等核心指标距味之素产品仍有差距。玻璃基板原材料方面，美国康宁（Corning）和德国肖特（Schott）是半导体级玻璃基板的主要供应商。

EDA与设计生态。Chiplet设计需要EDA工具支持多芯片协同设计、3D热仿真、信号完整性分析和测试规划。国际三大EDA厂商（Synopsys、Cadence、Siemens EDA）均推出Chiplet设计平台并支持UCIe标准。国内华大九天、国微集团等也在布局Chiplet EDA，但在3D热-力多物理场仿真和混合键合界面建模方面与国际水平差距明显。[!]

长江存储Xtacking：自主混合键合的成功范例。长江存储的Xtacking架构是国内在混合键合领域最具说服力的产业化案例。通过W2W混合键合将存储阵列晶圆与逻辑电路晶圆面对面键合，实现了>200层的3D NAND堆叠，键合精度<0.5μm。这一技术的独特之处在于：它不依赖进口混合键合设备——通过与国际设备商的早期深度合作和自主研发，建立了相对独立的供应链体系，为国内其他混合键合应用（如Chiplet、HBM）提供了可参考的路径。[!]

八、挑战、反思与2030年展望

8.1 2023年预测的检验

回顾2023年综述 [B] 提出的关键判断，逐项检验：

2023年判断 [B]	验证状态	说明
"TSV直径有望减小到1μm"	基本验证	实验室已实现，量产经济性待突破（见§二）
"无凸点混合键合若量产将是划时代革新"	充分验证	2025年HBM4/MI300X量产导入（见§四）
"TGV在射频/光电/MEMS领域前景广阔"	不完整	玻璃基板已跃升至AI计算封装核心赛道（见§三）
"超/兆声振动、多场耦合对蚀刻影响仍未知"	部分解答	Lai等(2024)可靠性综述填补了部分空白，但多场耦合仍待研究
"TGV通孔填充理论缺乏系统性"	部分解答	多种方案出现，但统一理论框架仍未建立
"杀手应用"需培育	超预期验证	AI芯片成为前所未有的"杀手应用"

8.2 仍待解决的关键挑战

挑战	2023年状态 [B]	2026年进展	剩余差距
3D堆叠热管理	未重点讨论	热流密度>1000 W/cm²	嵌入式微流体冷却仅实验室验证
全局CMP平整度	指出"平整度挑战"	先进终点检测+区域选择性CMP	全晶圆纳米级平整度仍未稳定
颗粒控制	指出"清洁度挑战"	ISO 1级超净键合环境	亚微米颗粒仍导致随机键合空洞
KGD测试成本	未讨论	IEEE 1838+BIST	Chiplet全覆盖测试成本仍高
先进封装成本	未讨论	封装成本>晶圆成本（某些AI芯片）	面板级封装尚未量产
设备/材料自主化	未讨论	出口管制加码	混合键合设备等仍为瓶颈

8.3 面向2030年的五项趋势预判

- 混合键合将标准化并走向中端。从HBM4和旗舰SoC专属→高端手机AP/服务器CPU→消费电子的三级扩散，预计2030年成为3D集成默认互连方式。
- 玻璃基板将从路线图走向量产验证。英特尔（2027–2030）和三星（2027）的量产节点将对有机基板形成根本性挑战。玻璃基板与CoWoS的竞争/融合关系将成为未来五年先进封装领域最核心的产业博弈。
- 背面供电+3D堆叠+混合键合三合一。从晶体管级（PowerVia）→芯片级（SoIC）→系统级（CoWoS/HBM）的全三维供电与信号互连体系将在2028–2030年形成。
- 光学互连进入封装内。硅光子Chiplet通过UCle光I/O标准化，预计2028年前后实现计算芯片与光学I/O的3D混合键合集成。
- AI驱动先进封装产能扩张将持续。先进封装市场将从2024年约500亿美元增长至2030年超1000亿美元，其中AI相关占比将超60%。产能从晶圆级（300mm）向面板级（600mm×600mm）的迁移是成本结构颠覆的关键。

附录：引文列表

标注：[v] CrossRef/DOI验证 | [ss] Semantic Scholar来源 | [ind] 产业公开信息 | [B] 2023年基准文献

基准文献

[B] 钟毅, 江小帆, 喻甜, 李威, 于大全. 芯片三维互连技术及异质集成研究进展. 半导体封装工程师之家, 2023.

学术论文与会议

[1] Mariappan M, Hashimoto H, Mihara K, et al. Impact of Cu Pad Density on Cu-CMP and Bonding Yield for Chip-to-Wafer Hybrid Bonding. 2024 IEEE 3DIC, 2024. DOI: [10.1109/3dic63395.2024.10830177](https://doi.org/10.1109/3dic63395.2024.10830177) [v]

[2] Lai Y, Pan K, Park S. Thermo-mechanical reliability of glass substrate and Through Glass Vias (TGV): A comprehensive review. Microelectronics Reliability, 2024. DOI: [10.1016/j.microrel.2024.115477](https://doi.org/10.1016/j.microrel.2024.115477) [v]

- [3] Liu X, Yu C, Zhang Z, Yu D. Through Glass via (TGV) Filling Process With Conductive Silver Paste Based on 3D Printing Technology. 2024 ICEPT, 2024. DOI: [10.1109/icept63120.2024.10668526](https://doi.org/10.1109/icept63120.2024.10668526) [v]
- [4] Shi Y, Niazi HK, Rosshirt MA, et al. 3D Heterogeneous Integration with Sub-3 μ m Bond Pitch Chip-to-Wafer Hybrid Bonding. 2024 IEEE 74th ECTC, 2024. [v]
- [5] Lin A, Lin YM, Lu CL, et al. Low Temperature (250°C) and Fine Pitch ($\leq 4\mu$ m) New Nanocrystalline Cu/SiO₂ Chip-on-Wafer Hybrid Bonding for 3D Chip Integration. 2024 VLSI Symposium, 2024. [v]
- [6] Hsu MP, Tsai WT, Lee O, et al. Low Temperature Cu/SiO₂ Hybrid Bonding Using Area-Selective Metal Passivation (Interface Metal) Technology for 3D IC. 2024 IEEE 74th ECTC, 2024. [v]
- [7] Jiang B, Wu Y, Zhong Z, et al. Cu–Cu hybrid bonding technology: from physical mechanisms to system integration for 3D ICs. Moore and More, 2025. [v]
- [8] Sano I, Yamagishi M, Takyu S, et al. Direct Transfer Bonding Technology Enabling 50-nm Scale Accuracy for Die-to-Wafer 3D/Heterogeneous Integration. 2025 IEEE 75th ECTC, 2025. [v]
- [9] Urata A, Kamei T, Imanishi I, et al. Advanced Face-to-Back 2.0 μ m Pitch Cu-Cu Hybrid Bonding Process for Three Layer-Stacked 3D Heterogeneous Integration. 2025 IEEE 75th ECTC, 2025. [v]
- [10] Kim H, Jeon T, Park J, et al. Plasma-Free Wafer-Level Hybrid Bonding Using iCVD Polymer Thin Film for Feasible 3D Multi-Chip Integration. 2026 IEEE 76th ECTC, 2026. DOI: [10.1109/ectc51846.2026.00417](https://doi.org/10.1109/ectc51846.2026.00417) [v]
- [11] Qian Z, Aygün K. Enabling 20 Tb/s/mm Die-to-Die Bandwidth Density with Advanced Packaging Technologies. 2025 IEEE 75th ECTC, 2025. [v]
- [12] Elsherbini A, Talukdar T, Sounart T, et al. Mid-BEOL Heterogeneous Integration Through Sub-1 μ m Pitch Hybrid Bonding & Advanced Silicon Carrier Technologies for AI & HPC. 2025 IEEE 75th ECTC, 2025. [v]
- [13] Chen Y, Chen Z, Wang J, et al. Influence of Underfill and EMC Material Properties on Bump Stresses in 2.5D CoWoS Packaging. 2025 ICEPT, 2025. DOI: [10.1109/icept67137.2025.11157534](https://doi.org/10.1109/icept67137.2025.11157534) [v]
- [14] Lau J, Fan X. Chiplet Design and Heterogeneous Integration Packaging. In: Hybrid Bonding, Advanced Substrates, Failure Mechanisms, Springer, 2025. DOI: [10.1007/978-981-96-4166-6_1](https://doi.org/10.1007/978-981-96-4166-6_1) [v]

- [15] Lau J, Fan X. Advanced Substrates for Chiplet and Heterogeneous Integration. In: Hybrid Bonding, Advanced Substrates, Failure Mechanisms, Springer, 2025. DOI: [10.1007/978-981-96-4166-6_2](https://doi.org/10.1007/978-981-96-4166-6_2) [v]
- [16] Stojanovic V. A UCle Optical I/O Retimer Chiplet for AI Scale-up. 2025 IEEE Hot Chips 37 Symposium (HCS), 2025. DOI: [10.1109/hcs66204.2025.11154419](https://doi.org/10.1109/hcs66204.2025.11154419) [v]
- [17] Khan S, Deb S. UCle Meets mmWave: Scalable, Latency-Aware and Energy-Efficient Hybrid Chiplet Integration. 2025 IEEE SOCC, 2025. DOI: [10.1109/socc66126.2025.11235371](https://doi.org/10.1109/socc66126.2025.11235371) [v]
- [18] Yoshiike J, Sunohara M, Kadoishi G, et al. Development of glass core multilayer build-up substrate with TGV. 2026 ICEP-HBS, 2026. DOI: [10.23919/icep-hbs69241.2026.11550498](https://doi.org/10.23919/icep-hbs69241.2026.11550498) [v]
- [19] Lu Y, Wang J. Thermo-Mechanical Reliability of Micro-joints in a RF Packaging with Through Glass Via (TGV) Interposer. 2024 ICEPT, 2024. DOI: [10.1109/icept63120.2024.10668486](https://doi.org/10.1109/icept63120.2024.10668486) [v]
- [20] Yi S, Kim Y, Yook J. Design and Fabrication of TGV-Integrated Passive Devices on a Glass Substrate. 2025 IEEE 27th EPTC, 2025. DOI: [10.1109/eptc67330.2025.11392588](https://doi.org/10.1109/eptc67330.2025.11392588) [v]
- [21] Fault Modeling and Testing of Chiplet-to-Chiplet Interconnects in Fan-out Wafer-Level Packaging. 2025 IEEE International Test Conference (ITC), 2025. DOI: [10.1109/itc58126.2025.00043](https://doi.org/10.1109/itc58126.2025.00043) [v]
- [22] A Dual-Chip Heterogeneous Packaging Power Device by 2.5D Fan-Out Panel Level Packaging (2.5D FOPLP). 2024 ICEPT, 2024. DOI: [10.1109/icept63120.2024.10668545](https://doi.org/10.1109/icept63120.2024.10668545) [v]
- [23] Solution to Sidewall Roughness of High Aspect Ratio TSV Etch in Advanced Packaging. 2025 CSTIC, 2025. DOI: [10.1109/cstic64481.2025.11017804](https://doi.org/10.1109/cstic64481.2025.11017804) [v]
- [24] Bidirectional interlayer cooling of 3D chip stack for temperature uniformity enhancement and hotspot mitigation. Applied Thermal Engineering, 2024. DOI: [10.1016/j.applthermaleng.2024.123254](https://doi.org/10.1016/j.applthermaleng.2024.123254) [v]

产业动态 (非论文来源)

- [25] Intel Corporation. Glass Core Substrate Technology Announcement. Intel Innovation 2024, September 2024. [ind]
- [26] TSMC. CoWoS-L Technology and A16 Super PowerRail Update. TSMC Technology Symposium 2025. [ind]
- [27] JEDEC. HBM4 Standard (JESD238, under development). [ind]
- [28] UCle Consortium. UCle 2.0 Specification. Published August 2024. [ind]

[29] Samsung Electronics. Glass Substrate Roadmap for Advanced Packaging. CES 2025. [ind]

本综述以钟毅等人（2023）的综述为基准框架，系统梳理此后三年在芯片三维互连与异质集成领域的关键进展。v2.0对v1.0中的Intel工艺节点、Apple UltraFusion时间线等关键事实进行了交叉验证和修正，逐段增加与基准文献的对照分析，并补充了2023年预测的检验矩阵。文献来源注明验证状态（[v] CrossRef/DOI验证，[ss] Semantic Scholar，[ind] 产业公开信息），便于读者判断信息的确定程度。检索截至2026年8月。